



60/002998

PATENT APPLICATION2812
#6
Dk
10/04/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

YUKIKO IWASAKI ET AL.

Examiner: Not Yet Known

Application No.: 10/083,585

Group Art Unit: 2812

Filed: February 27, 2002

For: METHOD FOR
MANUFACTURING A
SEMICONDUCTOR FILM

September 30, 2002

Commissioner for Patents
Washington, D.C. 20231TECHNICAL INFORMATION
RECEIVED
OCT - 2 2002
U.S. PATENT AND TRADEMARK OFFICERECEIVED
OCT - 2 2002
U.S. PATENT AND TRADEMARK OFFICESUBMISSION OF PRIORITY DOCUMENTS

Sir:

In support of Applicants' claim for priority under the International Convention and all rights to which they are entitled under 35 U.S.C. § 119, enclosed are the certified copies of the following Japanese Priority Applications:

2001-076284 filed on March 16, 2001

2002-029299 filed on February 6, 2002



Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

Joseph W. Raguer

Attorney for Applicants
Registration No. 38,586

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 269432 v 1

CFG 2998 US
10/083,585



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 3月16日

出願番号

Application Number:

特願2001-076284

[ST.10/C]:

[JP2001-076284]

出願人

Applicant(s):

キヤノン株式会社

RECEIVED

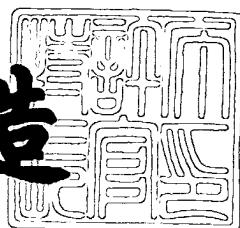
OCT -2 2002

TECHNICAL JOURNAL 23300

2002年 4月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3024518

【書類名】 特許願

【整理番号】 4434020

【提出日】 平成13年 3月16日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/12
H01L 21/02
H01L 21/20

【発明の名称】 半導体膜、及び半導体膜の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【氏名】 岩▲崎▼ 由希子

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【氏名】 庄司 辰美

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【氏名】 西田 彰志

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体膜、及び半導体膜の製造方法

【特許請求の範囲】

【請求項1】 非多孔質シリコン基体上に分離層を介して非多孔質半導体層を有する第1の部材を用意する工程、誘導加熱により実質的に加熱されない第2の部材を該非多孔質半導体層側に貼り合わせる、あるいは吸着させる工程、及び誘導加熱により該非多孔質シリコン基体を加熱して、該非多孔質シリコン基体と該第2の部材との間に温度差をつけることを含み該第1の部材を該分離層で分離する分離工程を有することを特徴とする半導体膜の製造方法。

【請求項2】 請求項1に記載の半導体膜の製造方法において、前記第2の部材は冷却機構を有する請求項1記載の半導体膜の製造方法。

【請求項3】 第1の比抵抗値を有する非多孔質シリコン基体上に分離層を介して、該第1の比抵抗値よりも高い第2の比抵抗値を有する非多孔質半導体層を有する部材を用意する工程、及び該部材を誘導加熱し、該非多孔質シリコン基体の温度を該非多孔質半導体層よりも高温にする工程を含み、該部材を該分離層で分離する分離工程を有することを特徴とする半導体膜の製造方法。

【請求項4】 前記第1の比抵抗値と第2の比抵抗値の差が10倍以上である請求項3記載の半導体膜の製造方法。

【請求項5】 前記第1の比抵抗値が $0.1\Omega\cdot\text{cm}$ 以下で、前記第2の比抵抗値が $1\Omega\cdot\text{cm}$ 以上である請求項3記載の半導体膜の製造方法。

【請求項6】 前記工程に先だって、前記部材と別の部材とを前記非多孔質半導体層が内側に位置するように貼り合わせる工程を含む請求項3記載の半導体膜の製造方法。

【請求項7】 前記分離工程は、分離補助手段として前記分離層に外力を加えることを含む請求項1または3記載の半導体膜の製造方法。

【請求項8】 前記分離工程後、前記非多孔質シリコン基体を再度前記半導体膜の製造方法に利用することを特徴とする請求項1または3記載の半導体膜の製造方法。

【請求項9】 前記分離層が陽極化成による多孔質層、あるいは水素、窒素

あるいは希ガスイオンの少なくとも一種をイオン注入することにより形成されるイオン注入層であることを特徴とする請求項1または3記載の半導体膜の製造方法。

【請求項10】 請求項1乃至9に記載の方法により作製される半導体膜。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体膜の製造方法、特に半導体部材から半導体膜を分離する方法に関する。また、本発明は量産に適した太陽電池やSOI基板の製造方法に関する。

【0002】

【従来の技術】

薄膜半導体基体を形成する方法の一つとして、特開平7-302889号公報に記載されているように単結晶シリコンウェハの表面に形成した多孔質シリコン層上に薄膜半導体層を形成した後、前記薄膜半導体層と支持基板とを貼り合わせて多層構造体とした後、当該多孔質層を境に該多層構造体から薄膜半導体層を分離する半導体膜の製造方法が知られている。

【0003】

分離方法としては、上記公報に記載されているように多層構造体を引っ張り力等の外力を用いて分離する方法の他、前記薄膜半導体層にのみ電流を流して加熱し、多孔質シリコン層に急激な熱応力を加えることで分離する技術が特開平10-200079号公報に記載されている。

【0004】

【発明が解決しようとする課題】

しかしながら、上述のように薄膜半導体層に電流を印加するには、多層構造体端部で前記薄膜半導体層を表出させる工程が必要であり、製造工程の更なる簡略化が求められていた。

【0005】

そこで、本発明の目的は、より簡略化された分離方法を用いた半導体膜の製造方法を提供することにある。

【0006】

【課題を解決するための手段】

本発明に係る半導体膜の製造方法は、非多孔質シリコン基体上に分離層を介して非多孔質半導体層を有する第1の部材を用意する工程、誘導加熱により実質的に加熱されない第2の部材を該非多孔質半導体層側に貼り合わせる、あるいは吸着させる工程、及び誘導加熱により該非多孔質シリコン基体を加熱して、該非多孔質シリコン基体と該第2の部材との間に温度差をつけることを含み該第1の部材を該分離層で分離する分離工程を有することを特徴とする。

【0007】

本発明によれば、誘導加熱を用いるため直接通電する場合に比べより簡略化された工程で分離層を境に非多孔質半導体層の分離が可能となる。誘導加熱により実質的に加熱されない第2の部材を用いることで、分離層を境に非多孔質シリコン基体側と支持部材側とでより効果的に温度差をつけることができる。そして、かかる温度差により分離層に熱応力が加わり分離が進行する。

【0008】

また、本発明に係る半導体膜の製造方法は、第1の比抵抗値を有する非多孔質シリコン基体上に分離層を介して、該第1の比抵抗値よりも高い第2の比抵抗値を有する非多孔質半導体層を有する部材を用意する工程、及び該部材を誘導加熱し、該非多孔質シリコン基体の温度を該非多孔質半導体層よりも高温にする工程を含み、該部材を該分離層で分離する分離工程を有することを特徴とする。

【0009】

本発明によれば、非多孔質シリコン基体と非多孔質半導体層の比抵抗値を制御することで、分離層を境に非多孔質シリコン基体側と支持部材側とでより効果的に温度差をつけることができる。

【0010】

【発明の実施の形態】

(第1の実施形態)

本発明に係る実施形態の一例として、薄膜半導体基体の製造方法について図1を参照して説明する。

【0011】

まず、非多孔質シリコン基体101を用意し（図1(a)）、表面に分離層として機能する多孔質層102を形成する（図1(b)）。その後、多孔質層102上に非多孔質半導体層103を形成して、第1の部材とする（図1(c)）。非多孔質シリコン基体としては、誘導加熱により加熱され得る低抵抗材料（ p^+ あるいは n^+ ）を用いる。

【0012】

なお、多孔質層は、陽極化成により行うことが出来る。その際、化成液や電流値を変化させることで多孔度が隣接する領域において異なる複数の多孔質層とすることも出来る。また、第1の部材は、非多孔質シリコン基体101の表面から所定の深さに水素、窒素、あるいはヘリウム等の希ガスから選択される少なくとも1種類のイオンを打ち込むことによっても形成することが出来る。イオンが打ち込まれたイオン注入層は、欠陥や歪が集中している。イオン注入層は、400°Cから600°C程度の加熱により微小気泡層が凝集することが知られている。イオン注入に先だって、表面に保護膜（例えば酸化シリコン層）を形成しておくことも好ましい。また、非多孔質半導体層は複数の層より構成されていても構わないし、当該複数の層に絶縁層を含んでいてもよい。ここでは非多孔質シリコン基体を用いる方法に関して説明するが、分離層の形成が可能であれば、シリコンに限定されるものではない。

【0013】

こうして得られる第1の部材を誘導加熱装置の誘導加熱台105に設置すると共に、非多孔質半導体層103を吸着台106に吸着させる（図1(d)）。なお、図面では、非多孔質シリコン基体101側を誘導加熱台105に対向させて設置しているが、非多孔質半導体層103側を対向させてもよく、誘導加熱台105上に、当該加熱台側から吸着台（第2の部材）106、非多孔質半導体層103が位置するように設置してもよい。吸着台106は誘導加熱により実質的に加熱されない材料により構成される。

【0014】

次に誘導加熱台105に巻きつけられた加熱コイル107に高周波電流を印加し、非

多孔質シリコン基体101に電流を流し、加熱する。吸着台106は加熱されないので、非多孔質シリコン基体101と吸着台106との間に温度差がつくことになる。多孔質層102は、その多孔度にもよるが非多孔質シリコン基体に比べ熱伝導率が低く、多孔質層即ち分離層を境に温度分布が生じることになる。この温度差によりが当該分離層に熱応力が加わり分離が進行する（図1(e)）。温度差としては、500°C以上の差が生じることが好ましい。

【0015】

なお、誘導加熱に先だって多孔質層102側面に切り込み溝を設けたり、分離補助手段として引っ張り、圧縮、せん断力を加えたり、ウォータージェット等の流体による圧力、あるいは静圧を印加することもできる。これらは、分離層が構造的に非多孔質領域に比べて脆弱であることを用いている。

【0016】

分離工程後は、非多孔質シリコン基体101は必要に応じて表面処理を施し、再度上記半導体膜製造工程に再利用しても良い（図1(f)）。

【0017】

ここで、誘導加熱の原理について簡単に説明をしておく。

【0018】

加熱コイルと呼ばれる導体（主に銅）パイプでできた巻線の中に金属、あるいは低抵抗材料よりなる被加熱物を設置し、加熱コイルに高周波電流を流すと高周波磁束を発生し、被加熱物内にうず電流が流れ、ジューク熱によって温度が上昇する。これが誘導加熱と称されるものであり、急速加熱、ランニングコストが低い、局所加熱が可能である等の特徴を持っている。

【0019】

本発明で誘導加熱を適応するに際しては、非多孔質シリコン基体101を選択的に加熱することが重要なポイントである。従って非多孔質シリコン基体の比抵抗値としては $0.1\Omega\text{ cm}$ 以下、より好ましくは $0.05\Omega\text{ cm}$ 以下である。温度差を効果的に生じさせるためには非多孔質半導体層103の比抵抗値は $1\Omega\text{ cm}$ 以上であるが、非多孔質半導体層103は誘導加熱により実質的に加熱されない吸着台106に吸着あるいは貼り合わされていれば、非多孔質半導体層103の熱が吸着台106に逃げるの

で特に限定されるものではない。

【0020】

吸着台106は、誘導加熱により昇温されない高抵抗材料で作製する必要があり、アルミナ、ホトベル、マコール等の高抵抗材料が好適に用いられる。それに加えて、水や冷却されたN₂やHe等による冷却機構を設けて非多孔質半導体層を冷却し、積極的に温度差をつけてもよい。また、一度の複数の処理部材を誘導加熱装置上に配置し、複数枚の分離工程を一度に行ってもよい。

【0021】

本発明において、分離層の強度、非多孔質シリコン基体と非多孔質半導体層の比抵抗差、加熱コイルに印加する高周波電流条件、吸着台付加機能等の組み合わせ、さらに分離の際に、分離層へのクサビの挿入や非多孔質シリコン基体と非多孔質半導体層間に引っ張り力を加えるなどの補助的な力を加える事により、最も適した分離条件を選択する事が出来る。

【0022】

なお、非多孔質シリコン基体表面の陽極化成には、化成液としてHF溶液、あるいはそれにアルコールを含む溶液を用いることができる。陽極化成を用いて多孔質層を形成する際には、化成電流レベルを例えば途中で低レベルから高レベルへ変化させることにより、予め多孔質層の構造に疎密の変化を設けることが可能で、それによりエピタキシャル成長後に多孔質層102を介して第二の基体104を第一の基体103から分離し易くすることができる。

【0023】

また、多孔質層102上に非多孔質半導体層を形成するに先だって、酸化雰囲気中で熱処理を施して多孔質層の内壁を酸化したり、多孔質層102表面に水素を含む還元性雰囲気中での熱処理を施して表面を平滑化させてもよい。非多孔質半導体層の形成は、気相のCVD法等に限ることなく、例えば、液相成長法等を用いて非多孔質半導体層としてp-型シリコン層103をエピタキシャル成長することができる。

【0024】

例えば、比抵抗0.02Ω cmの3インチφ p⁺型シリコン単結晶基板を、電流密

度 $7\text{mA}/\text{cm}^2$ で1分間通電後、電流密度 $20\text{mA}/\text{cm}^2$ で10分間通電する条件で陽極化成を行い、多孔質層を形成した後、多孔質層表面をH₂アニールで平坦化後、高抵抗p-型層を堆積した。この時のp-型層の抵抗は、モニターを用いて測定したところ $1.5\Omega\cdot\text{cm}$ であった。次いで、誘導加熱装置に設置して350KHz、2kWの交流電流を流したところ、低抵抗な非多孔質シリコン基体が約20秒で500°Cまで加熱された。非多孔質半導体層である高抵抗p-型層と非多孔質シリコン基体間に生じた温度差に起因するせん断応力により、分離層で分離することができた。

【0025】

なお、分離工程後、非多孔質半導体層103の表面に多孔質層残渣102'が存在する場合には(図1(e))、当該残渣をエッチング除去後、洗浄して、p-型半導体膜とした。一方、非多孔質半導体層103も同様に、必要に応じて多孔質残渣102'を除去して再び同様の工程を施して繰り返し利用する事が出来る。

【0026】

必要に応じてエピタキシャル成長する半導体膜はノンドープ、n型と自由に選択すればよく、成長法も液相成長以外に気相法、また接合形成、支持基板接着等を施して高性能なデバイスを製造する事が出来る。接合形成は分離前に形成してもよく、支持基板も誘導過熱によって過熱されないものなら分離前に接着しても良い。

【0027】

(第2の実施形態)

本発明の第2の実施形態について説明する。

【0028】

まず、第1の比抵抗値を有する非多孔質シリコン基体を用意する。第1の比抵抗値としては、誘導過熱により加熱が期待されるよう $0.1\Omega\cdot\text{cm}$ 以下、好ましくは $0.05\Omega\cdot\text{cm}$ 以下である。分離層は上述の陽極化成により作製することができる。

【0029】

次に、分離層上に前記第1の比抵抗値よりも高い第2の比抵抗値を有する非多孔質半導体層を形成して第1の部材を得る。第2の比抵抗値としては、第1の比抵抗値の10倍以上、即ち $1\Omega\cdot\text{cm}$ 以上であることが好ましい。より好ましくは

、第2の比抵抗値を第1の比抵抗値の100倍以上とするのがよい。なお、分離層は、陽極化成を用いることなく上述の水素等のイオン注入工程を用いて形成してもよい。イオン注入工程により分離層を形成する場合には、例えば、P+型の非多孔質シリコン基板上にP-型のエピタキシャルシリコン層を形成した後、該エピタキシャルシリコン層側から水素等のイオンを打ち込むことによりイオン注入層を形成する。投影飛程、即ち打ち込まれたイオンの濃度分布が最も高い領域がエピタキシャルシリコン層内部あるいは、非多孔質シリコン基板とエピタキシャルシリコン層との界面に位置するように打ち込むことが好ましい。なお p^+ 、 n^+ とは不純物濃度では、 $10^{17} \text{ atoms/cm}^3$ 以上、 p^- 、 n^- の場合は $10^{16} \text{ atoms/cm}^3$ 以下である。比抵抗値では、 p^+ 、 n^+ とは $0.1 \Omega \cdot \text{cm}$ 以下、 p^- 、 n^- とは $1 \Omega \cdot \text{cm}$ 以上である。

【0030】

こうして得られる第1の部材を上述の誘導加熱台に設置し、誘導加熱を行う。本実施形態においては、非多孔質半導体層と非多孔質シリコン基体間の比抵抗値に差があるので、選択的に非多孔質シリコン基体側が加熱されることになる。当該加熱により分離層には熱応力が生じ分離層において分離するので、半導体膜を得られる。なお、分離に際しては上述の方法を補助的に用いることも出来る。

【0031】

また、第1の部材を用意した後、第2の部材と該非多孔質半導体層が内側に位置するように貼り合わせ多層構造体を構成した後、誘導加熱を行ってもよい。なお、貼り合わせに際しては、絶縁層を介して貼り合わせてもよい。絶縁層は、非多孔質半導体層表面に形成したり、第2の部材表面に形成したり、あるいは非多孔質半導体層、及び第2の部材の両面に形成しておいてもよい。第2の部材としては、CZ、FZ、あるいは水素アニールされた単結晶シリコン基板や、光透過性のガラス基板などを用いることが出来る。上記温度差を効果的につけるために第2の部材は比抵抗値 $1 \Omega \text{ cm}$ 以上、好ましくは $10 \Omega \text{ cm}$ 以上、より好ましくは $100 \Omega \text{ cm}$ 以上であることが望ましい。

【0032】

【実施例】

(実施例1)

本発明の実施例として、薄膜太陽電池を作る工程を説明する。

【0033】

非多孔質シリコン基体として、比抵抗 $0.01\Omega\text{ cm}$ の4インチ p+型シリコンウエハ201(図2(a))をHF溶液中にて陽極化成を行い、表面を多孔質化した。電流密度 8mA/cm^2 で1分間の通電後、電流密度 20mA/cm^2 で10分間通電することにより、 $10\mu\text{m}$ の膜厚の2層構造多孔質層202を得た(図2(b))。その後、水素雰囲気中でアニールを施して多孔質層202の表面を平滑化し、液相成長法にて非多孔質半導体層としてのp-型半導体層205を $50\mu\text{m}$ 、n+型半導体層206を $0.2\mu\text{m}$ と順次エピタキシャル成長して複数の層からなるの非多孔質半導体層204を形成した(図2(c))。

【0034】

次に得られた複合部材を図のような誘導加熱装置に設置した。第二の基体面を冷却されたN₂による冷却機構を備えたアルミナ製の吸着台207で吸着し(図2(d))、加熱コイル209に周波数500KHz、出力5KWの高周波電流を流して選択的にp+型ウエハの基体203を加熱した。これと平行して複数の非多孔質半導体層204を吸着台207で冷却すると、基体203と非多孔質半導体層204の温度差は約10秒で500°Cに達した。

【0035】

その結果、多孔質層202を境に熱膨張差で生じたずれ応力で当該多孔質層が破壊され、基体203と非多孔質半導体層204を分離する事ができた(図2(e))。

【0036】

分離後、非多孔質半導体層204は多孔質残渣202'を除去した後(当該除去は必要に応じて行えばよく、勿論残渣を残したままでもよい。)、除去面を電極/支持基板を兼ねたアルミニウム板209に熱溶着すると同時に、シリコン内へアルミニウムを拡散させてp+層210を形成し、n+層206表面に集電電極211、反射防止層212を形成し、薄膜単結晶太陽電池とした(図2(f))。一方、基体203は多孔質残渣202'を必要に応じて除去した後、再び同様の工程を施して繰り返し利用することができた。

【0037】

(実施例2)

本発明の実施例として、SOIウエハを作る工程を説明する。

【0038】

非多孔質シリコン基体として比抵抗 $0.01\Omega\text{cm}$ の5インチ p+型単結晶ウエハ301(図3(a))をHF溶液中にて2段階の陽極化成を行った。陽極化成条件は、電流密度 7mA/cm^2 で5分間の通電後、 30mA/cm^2 で10秒間通電である。その結果、ウエハの表面には膜厚約 $5\mu\text{m}$ の2層の多孔質層302が形成された(図3(b))。この多孔質層302の孔の内壁を熱酸化し、水素雰囲気下で熱処理を施して多孔質表面を平滑化した後、CVD法にて比抵抗 $10\Omega\text{cm}$ のP-型単結晶Si半導体層303、 $0.3\mu\text{m}$ をエピタキシャル成長した。

【0039】

さらに熱酸化により 100nm の酸化シリコン層304を形成した(図3(c))。

【0040】

次いで、酸化シリコン層の表面にN₂プラズマを照射して活性化し、別に用意した比抵抗 $100\Omega\text{cm}$ のシリコンウエハ305表面を重ね合わせて接触させた後、 600°C で3時間熱処理して張り合わせ、多層構造体306とした(図3(d))。得られた複合部材を実施例1と同様にして、誘導加熱装置に設置し、加熱コイル308に周波数 700kHz 、出力 10kW の高周波電流を流して、非多孔質シリコン基体307を選択的に加熱した。このとき、本実施例では吸着台309に水冷機構を備えてシリコンウエハ305側を冷却した。本実施例の場合のように、分離層を介した。

【0041】

約20秒間で基体307と非多孔質半導体層の温度差は 550°C となり、多孔質層を破壊するのに充分なずれ応力が発生し、分離する事ができた(図3(e))。

【0042】

シリコンウエハ305上の多孔質残渣302'をエッティング除去した後、水素を含む還元性雰囲気中 1100°C で1時間のアニールを施して表面を平滑化し、SOIウエハを得た(図3(f))。なお、一方の非多孔質シリコン基体307も、多孔質残渣302'をエッティング除去し、再び最初の同じ工程を施し、繰り返し利用することがで

きた。

【0043】

【発明の効果】

誘導加熱を利用して選択的な加熱を行うので、非分離部材に通電するための複雑な工程を簡略化することができ、低コストかつスループットの大きい方法で半導体薄膜を製造することができる。

【図面の簡単な説明】

【図1】

本発明における第1の実施形態を説明するための模式的断面図である。

【図2】

本発明による薄膜太陽電池の製造方法を説明するための模式的断面図である。

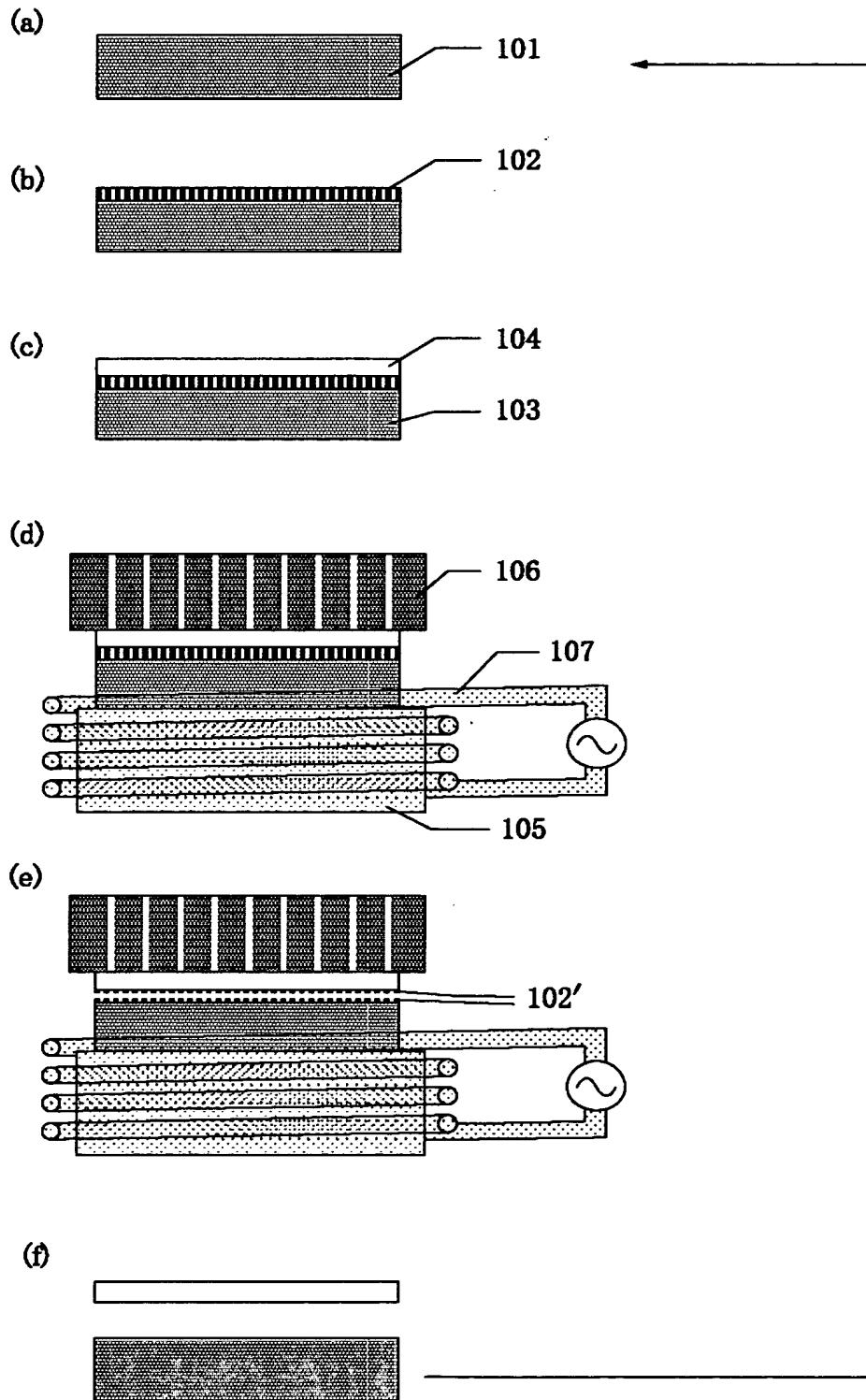
【図3】

本発明によるS O I ウエハ製造方法を説明するための模式的断面図である。

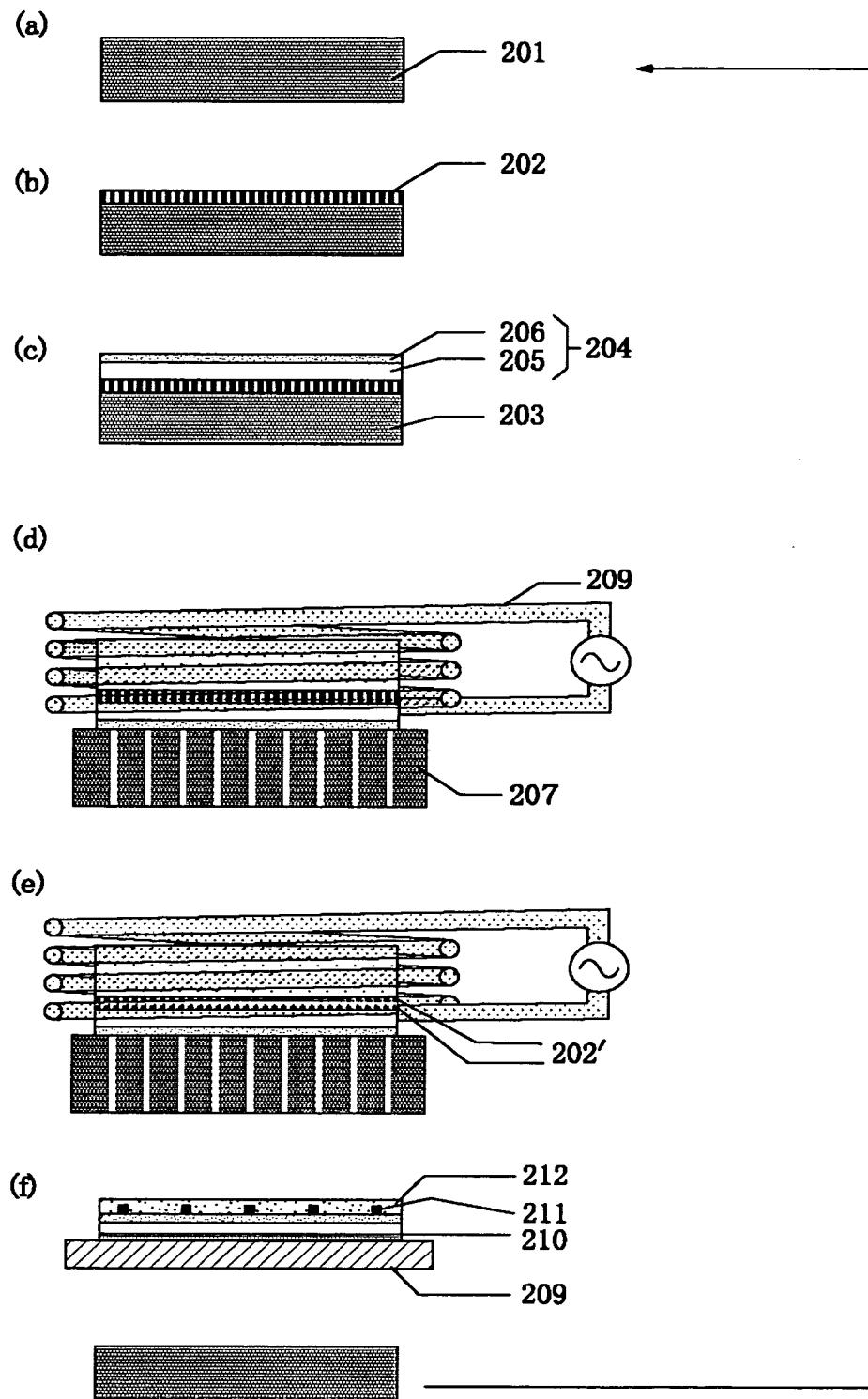
【符号の説明】

- 101、201、301 非多孔質シリコン基体
- 102、202、302 多孔質層（分離層）
- 103、205、303 非多孔質半導体
- 105 誘導加熱台
- 107、208 加熱コイル
- 106、207、309 吸着台
- 206 n+型半導体層
- 210 アルミニウム板（電極兼支持基板）
- 211 p+層
- 212 集電電極
- 213 反射防止層
- 304 酸化シリコン層

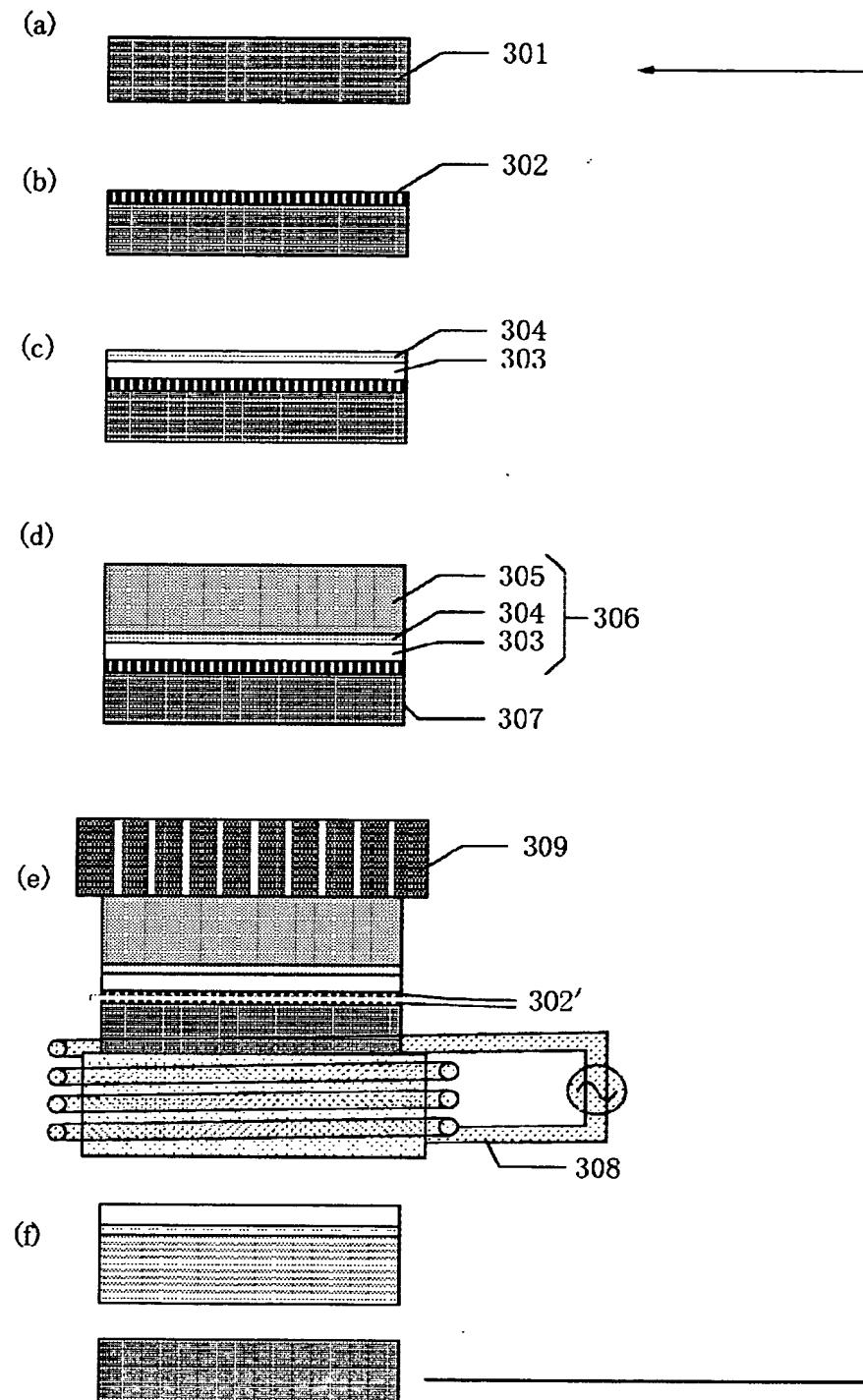
【書類名】 図面
【図1】



【図2】



【図3】



【書類名】 要約書

【要約】

【課題】 分離層上に設けられた薄膜半導体層の分離を簡略化された工程により行う。

【解決手段】 非多孔質シリコン基体101上に分離層102を介して非多孔質半導体層103を有する第1の部材を用意する工程、誘導加熱により実質的に加熱されない第2の部材106を該非多孔質半導体層側に貼り合わせる、あるいは吸着させる工程、及び誘導加熱により該非多孔質シリコン基体を加熱して、該非多孔質シリコン基体と該第2の部材との間に温度差をつけることを含み該第1の部材を該分離層で分離する。

【選択図】 図1

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社